

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## KOREAN PATENT ABSTRACT (KR)

### PUBLICATION

(51) IPC Code: H01L 27/108

(11) Publication No.: P2002-0034520

(43) Publication Date: 9 May 2002

(21) Application No.: 10-2000-0064907

(22) Application Date: 2 November 2000

(71) Applicant:

Samsung Electronics Co., Ltd.

416 Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do, Korea

(72) Inventor:

SEONG JE CHOI, YEONG GWAN KIM, HYEON BO SHIN and SEOK SIK KIM

(54) Title of the Invention: Capacitor of Semiconductor Device and Method of Manufacturing the Same

#### Abstract:

A capacitor of a semiconductor device and a method of manufacturing the same are provided. The capacitor comprises a first electrode composed of silicon, a dielectric layer formed on the first electrode, and a second electrode formed on the dielectric layer using ruthenium. Since the ruthenium having a high work function is used as the upper electrode in the capacitor, a leakage current characteristic is improved, thereby improving an electrical characteristic.

특2002-0034520

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 특2002-0034520  
H01L 27/108 (43) 공개일자 2002년05월09일

(21) 출원번호	10-2000-0064907
(22) 출원일자	2000년11월02일
(71) 출원인	삼성전자 주식회사 윤증용
	경기 수원시 팔달구 매탄3동 416
(72) 발명자	최성제
	서울특별시서초구서초4동진흥APT1-1505
	김영관
	경기도수원시팔달구영통동신나무실신원APT645-803
	신현보
	경기도용인시수지읍풍덕천리698-2한성APT109-201
	김석식
	충청남도천안시목천면도장리358-2번지
(74) 대리인	박상수

심사청구 : 없음

(54) 반도체 장치의 캐패시터 및 그 제조방법

요약

본 발명은 반도체 장치의 캐패시터 및 그 제조방법에 관한 것으로서, 특히 본 발명의 캐패시터는 실리콘으로 형성된 제 1 전극과, 상기 제 1 전극 상에 형성된 유전체막과, 상기 유전체막 상에 형성되고, 루테튬으로 형성된 제 2 전극을 포함한다. 따라서, 본 발명에서는 일함수가 큰 루테튬을 상부전극으로 사용함으로써 누설전류 특성이 향상되며 전기적 특성이 개선된다.

도면도

도1

발명서

도면의 간단한 설명

도 1은 본 발명에 의한 캐패시터의 개략도.  
도 2는 Al<sub>2</sub>O<sub>3</sub> 유전체막의 두께 변화에 따른 TiN/Al<sub>2</sub>O<sub>3</sub> 간 전압 대 누설전류특성 그래프.  
도 3은 Al<sub>2</sub>O<sub>3</sub> 유전체막의 두께 변화에 따른 Ru/Al<sub>2</sub>O<sub>3</sub> 간 전압 대 누설전류특성 그래프.  
도 4는 도 2는 Al<sub>2</sub>O<sub>3</sub> 유전체막의 두께 변화에 따른 TiN/Al<sub>2</sub>O<sub>3</sub> 및 Ru/Al<sub>2</sub>O<sub>3</sub> 간 전압 대 누설전류특성 그래프.  
도 5는 Ru 및 TiN 상부전극에 따른 Al<sub>2</sub>O<sub>3</sub> 유전체막 두께 대 유전체막의 유효두께(T<sub>oxeq</sub>) 특성 그래프.  
도 6은 Ru 및 TiN 상부전극에 따른 Al<sub>2</sub>O<sub>3</sub> 유전체막 두께 대 C<sub>min</sub>/C<sub>max</sub> 비율 특성 그래프.  
도 7은 드라이 02 열처리에 의한 상부전극에 따른 전압 대 누설전류 특성 그래프.

<도면의 주요부분에 대한 부호의 설명>

10 : 하부전극12 : 유전체막  
14 : 상부전극16 : 식각마스크층

발명의 상세한 설명

발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 캐패시터 및 그 제조방법에 관한 것으로서, 특히 일함수가 큰 루테튬을 캐패시

터의 상부전극으로 사용함으로써 누설전류 특성을 개선하여 캐패시턴스를 향상시킬 수 있는 반도체 장치의 캐패시터 및 그 제조방법에 관한 것이다.

반도체 장치의 메탈-유전체-실리콘(MIS: METAL-INSULATOR-SILICON) 캐패시터에서는 통상적으로 유전체로 사용되는 산화막과 상부전극인 메탈 사이에 누설전류가 존재하게 된다. 따라서, 캐패시터에 있어서, 캐패시터의 누설전류 특성에 따라서 축적하는 전하량의 특성이 달라지게 되므로 결국 캐패시터 양단 전압이 결정되게 된다.

그러므로, 누설전류 특성이 좋지 않은 캐패시터에서는 양단전압을 높은 레벨로 유지할 수 없다. 즉, 캐패시터의 용량이 떨어지게 되는 것이다.

따라서, 원하는 용량을 가진 캐패시터를 설계하기 위해서는 유전체를 고유전체로 사용하지 않으면 안된다. 그러나, 고유전체는 반도체 제조공정상 전 후의 구조물의 공정과 관련되어 선택되어야 하므로, 실제로 양산에서 사용 가능한 고유전물질들 선택한다는 것은 많은 제한이 뒤따르게 되므로, 쉽게 고유전물질을 채택하여 캐패시터의 용량을 향상시킨다는 것은 많은 시간과 노력이 요구되고 있다.

#### 발명이 이루고자하는 기술적 과제

본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 유전체의 변경없이 상부전극을 일함수가 큰 루테튬을 사용함으로써 메탈과 유전체막 사이의 일함수를 증가시킴으로써 누설전류 특성을 개선시킴으로써 용량을 향상시킬 수 있는 반도체 장치의 캐패시터 및 그 제조방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여 본 발명의 장치는 실리콘으로 형성된 제 1 전극과, 상기 제 1 전극 상에 형성된 유전체막과, 상기 유전체막 상에 형성되고, 루테튬으로 형성된 제 2 전극을 구비한 것을 특징으로 한다.

상기 유전체막은 산화알루미늄 또는 산화알루미늄이 함유된 유전체, Nb<sub>2</sub>O<sub>5</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub> 또는 SiN으로 구성한다.

본 발명의 방법은 반도체 기판 상에 실리콘으로 구성된 하부 전극을 형성하는 단계와, 상기 하부전극 상에 유전체막을 형성하는 단계와, 상기 유전체막 상에 루테튬으로 구성된 상부전극을 형성하는 단계를 구비한 것을 특징으로 한다.

상기 상부전극 형성 전 또는 후에 결과물을 약 5시간 이내 800°C 미만으로 열처리하는 것이 바람직하다.

이하, 첨부한 도면을 참조하여, 본 발명의 일 실시예를 통해 본 발명을 보다 상세하게 설명하고자 한다.

도 1은 본 발명에 의한 반도체 장치의 캐패시터의 구조를 나타낸다. 도 1에서 캐패시터는 5,000 Å 두께의 폴리실리콘으로 구성된 하부전극(10)과, 30 내지 50 Å 두께의 Al<sub>2</sub>O<sub>3</sub>로 구성된 유전체막(12)과 1,000 Å 두께의 루테튬(Ru)으로 구성된 상부전극(14)과 100 Å 두께의 BST로 구성된 식각마스크층(16)을 포함한다. 여기서, 유전체막은 Al<sub>2</sub>O<sub>3</sub> 뿐만 아니라, Al<sub>2</sub>O<sub>3</sub>를 함유한 유전체, Nb<sub>2</sub>O<sub>5</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub> 또는 SiN로 구성할 수 있다.

본 발명의 캐패시터는 반도체 기판 상에 먼저 불순물이 도핑된 폴리실리콘으로 하부전극(10)을 형성하고 그 위에 Al<sub>2</sub>O<sub>3</sub>로 된 유전체막(12)을 덮고, 유전체막(12) 상에 Ru 및 BST를 순차적으로 적층한 다음에 BST를 사진식각공정으로 패터닝하여 식각마스크층(16)을 형성한다. 이어서, 식각마스크층(16)을 사용하여 O<sub>2</sub>+Cl<sub>2</sub> 혼합가스를 사용하여 Ru를 식각하여 상부전극(14)을 형성한다. Ru는 O<sub>2</sub>로 식각하기 때문에 O<sub>2</sub>에 의해 에칭(ASHING)되는 포토레지스트를 식각마스크로 사용할 수 없기 때문에 BST를 식각마스크층으로 사용한다.

여기서, Ru를 증착하기 전 또는 증착한 후에 결과물을 O<sub>2</sub>, N<sub>2</sub>, NH<sub>3</sub> 등의 가스 및 이들의 혼합가스를 사용하여 약 5시간 이내 800°C 미만으로 열처리한다.

이와 같이 제조된 본 발명의 캐패시터의 성능을 시험하기 위하여 다음 표 1과 같이 시편을 제조한 다음에 성능을 테스트하였다. 도 2는 Al<sub>2</sub>O<sub>3</sub> 유전체막의 두께 변화에 따른 TiN/Al<sub>2</sub>O<sub>3</sub> 간 전압 대 누설전류특성 그래프이고, 도 3은 Al<sub>2</sub>O<sub>3</sub> 유전체막의 두께 변화에 따른 Ru/Al<sub>2</sub>O<sub>3</sub> 간 전압 대 누설전류특성 그래프이고, 도 4는 도 2는 Al<sub>2</sub>O<sub>3</sub> 유전체막의 두께 변화에 따른 TiN/Al<sub>2</sub>O<sub>3</sub> 및 Ru/Al<sub>2</sub>O<sub>3</sub> 간 전압 대 누설전류특성 그래프이고, 도 5는 Ru 및 TiN 상부전극에 따른 Al<sub>2</sub>O<sub>3</sub> 유전체막 두께 대 유전체막의 유효두께(Toxeq) 특성 그래프이고, 도 6은 Ru 및 TiN 상부전극에 따른 Al<sub>2</sub>O<sub>3</sub> 유전체막 두께 대 Cmin/Cmax 비를 특성 그래프이고, 도 7은 드라이 O<sub>2</sub> 열처리에 의한 상부전극에 따른 전압 대 누설전류 특성 그래프이다.

< 표 1 >

웨이퍼 번호	B/E	PHA:R수	DIELECTRIC AlO(A)	POST ANNEAL	T/E
1	D-POLY 5k	750체3R2	30	UV03	SPT Ru
2			35	UV03	SPT Ru
3			40	UV03	SPT Ru
4			45	UV03	SPT Ru
5			50	UV03	SPT Ru
6			30	UV03	TiN+poly
7			35	UV03	TiN+poly
8			40	UV03	TiN+poly
9			45	UV03	TiN+poly
10			50	UV03	TiN+poly

1) ALD TiN 상부전극 스케일링 특성

도 2 내지 도 5를 참조하면, 1 마스크의 구조에서 Al2O3의 두께를 30, 35, 40, 45, 50 Å으로 변경시켜서 테이크 오프(TAKE OFF)전 안정된 베이스 레벨을 유지하는 누설전류에서의 Al2O3의 두께(Toxeq)를 보면 ALD TiN을 적용한 결과 Al2O3 두께 45 Å 경우까지 안정된 베이스 레벨의 누설전류를 보이며, 루테튬의 경우는 Al2O3 두께 40 Å까지 안정됨을 알 수 있다.

Al2O3의 두께가 50 Å일 경우 100nA/cm2의 누설전류에서 테이크 오프 전압은 2.7V로 기존의 CVD TiN을 상부전극으로 사용하였을 경우 대비 2.4V 대비 0.3V 가량 우수하며, Ru 상부전극을 사용하였을 경우 3V 정도로 CVD TiN 상부전극 대비 약 0.5V 가량 우수함을 알 수 있다. Toxeq는 TiN의 경우 34.3 Å이고, Ru의 경우 33.4 Å으로 Ru 상부전극의 경우 Toxeq 가 약 1 Å 작게 나타난다.

2) 정전용량 특성

도 6를 참조하면, TiN 상부전극을 적용한 경우 Al2O3의 두께가 증가할수록 정전용량은 선형적으로 감소하며, Cmin/Cmax 비율도 또한 Al2O3 두께가 30 Å에서 87.5%부터 50 Å에서 92.5%로 증가한다.

반면에 Ru 상부전극을 적용한 경우는 TiN과 마찬가지로 두께가 증가하면서 정전용량이 선형적으로 감소하지만, Cmin/Cmax 비율은 Al2O3의 두께가 40 Å 이상이 되면 비율이 95 내지 96%로 포화된다.

특이할만한 점은 Ru를 적용하면 Cmax는 동일하나 Cmin이 우수해져 Cmin/Cmax 비율도 우수해짐을 알 수 있다.

3) Ru 상부전극 열처리 효과

도 7를 참조하면, Ru/Al2O3/Si 구조에서 드라이 02 열처리에 의한 효과는 Al2O3 50 Å 기준 테이크 오프가 열처리전 3V에서 3.5V로 약 0.5V 개선되며 CVD TiN의 경우에 대비하여 약 1.1V 가량 개선된다.

이에 반하여 드라이 02 열처리 후에 Si 하부전극의 산화는 더 이상 일어나지 않아 Toxeq(Al2O3 50 Å 기준)는 33.4 Å으로 열처리 전과 동일하다.

또한, 열처리과정을 통해 개선되는 것은 Cmax는 변화하지 않으나, Cmin이 개선되며 Cmin/Cmax 비율이 약 1%가량 높아진다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**발명의 효과**

이상, 설명한 바와 같이 본 발명에서는 메탈-유전체-실리콘으로 구성된 캐패시터에 있어서, 상부전극을 기존의 TiN 보다 일함수가 큰 루테튬을 사용함으로써 누설전류의 특성을 향상시킬 수 있어서 동일 유전체를 사용하면서도 보다 큰 캐패시턴스를 얻을 수 있다.

(57) 청구의 범위

청구항 1. 실리콘으로 형성된 제 1 전극;

상기 제 1 전극 상에 형성된 유전체막; 및

상기 유전체막 상에 형성되고, 루테튬으로 형성된 제 2 전극을 구비한 것을 특징으로 하는 반도체 장치의 캐패시터.

청구항 2. 제 1 항에 있어서, 상기 유전체막은 산화알루미늄 또는 산화알루미늄이 함유된 유전체로 구성된 것을 특징으로 하는 반도체 장치의 캐패시터.

청구항 3. 제 1 항에 있어서, 상기 유전체막은 Nb<sub>2</sub>O<sub>5</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub> 또는 SiN으로 구성된 것을 특징으로 하는 반도체 장치의 캐패시터.

청구항 4. 반도체 기판 상에 실리콘으로 구성된 하부 전극을 형성하는 단계;

상기 하부전극 상에 유전체막을 형성하는 단계; 및

상기 유전체막 상에 루테튬으로 구성된 상부전극을 형성하는 단계를 구비한 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

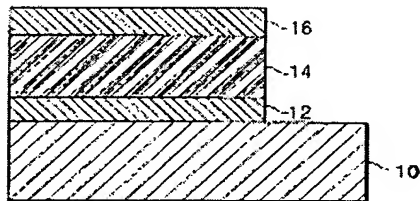
청구항 5. 제 4 항에 있어서, 상기 상부전극 형성 전 또는 후에 결과물을 약 5시간 이내 600°C 미만으로 열처리하는 단계를 더 구비한 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

청구항 6. 제 5 항에 있어서, 상기 열처리단계에서는 O<sub>2</sub>, N<sub>2</sub>, NH<sub>3</sub> 등의 가스 및 이들의 혼합가스를 사용하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

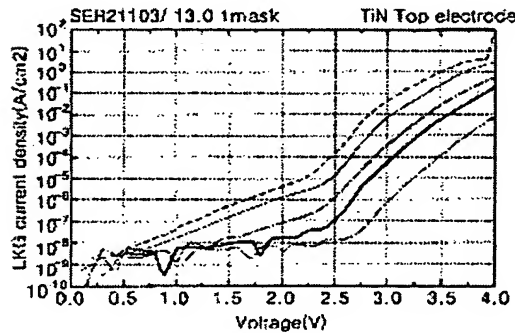
청구항 7. 제 4 항에 있어서, 상기 상부전극을 패터닝하기 위하여 상기 상부전극 상에 BST층으로 된 식각마스크층을 형성하는 단계; 및 상기 식각마스크층을 사용하여 O<sub>2</sub>+Cl<sub>2</sub> 혼합가스로 구성된 에천트를 사용하여 상기 상부전극을 식각하는 단계를 더 구비한 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

도면

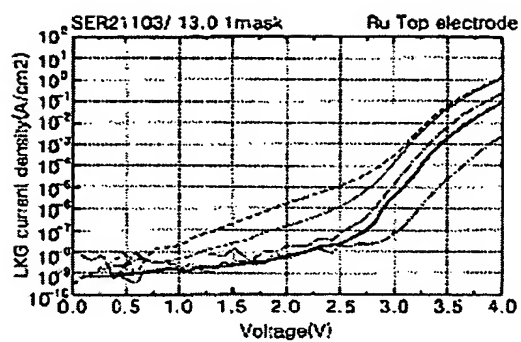
도면1



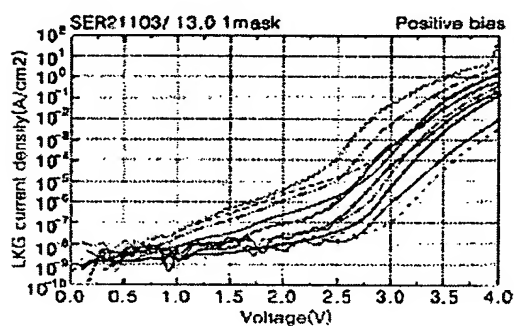
도면2



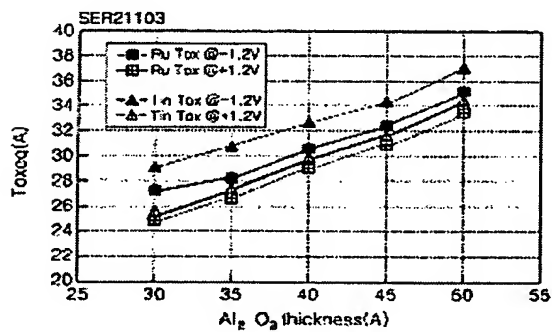
E13



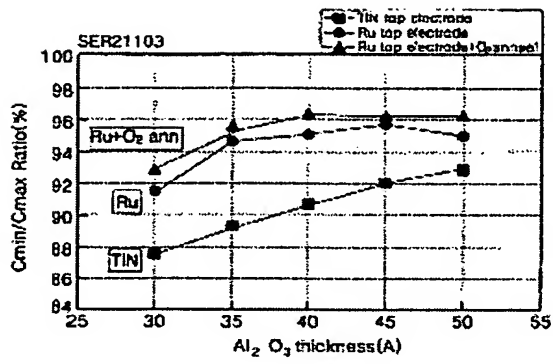
E14



E15



도 B6



도 B7

